

明 細 書

半導体集積回路

5 技術分野

本発明は、LSI等の半導体集積回路に関するものであり、特に、半導体集積回路に対するウェハレベルバーンインに関するものである。

背景技術

- 10 半導体ウェハ上に形成された複数のLSI等の半導体集積回路は、初期不良発見のための加速度試験（バーンイン）を経て出荷される。このバーンインでは、高温（約120～約150℃）で数時間のエージングテストが実施される。

- 現在では、ウェハ状態で複数の半導体集積回路に対して同時にバーンインを実施する方法（ウェハレベルバーンイン）が提案されている（例えば、特開2001-93947号公報）。ウェハレベルでバーンインが実施可能になれば、パッケージ前にバーンインが可能になり、不良品をパッケージする数を削減できる等のバーンインにおけるコストの削減が期待できる。

- 以下、従来のウェハレベルバーンインについて、第1図～第3図を用いて説明する。第1図に示すように、半導体ウェハ1には複数のLSI等の半導体集積回路2が設けてある。第2図に示すように、半導体集積回路2には、機能回路3の外周に複数のパッド4が配置されている。ウェハレベルバーンインの際には、この複数のパッド4に電流を流す必要がある。このため、パッド4にバンプ接触領域5を設け、第3図に示すように、プローブカード7に設けた複数のバンプ6とバンプ接触領域5とを接触させることでパッド4に電流を流す。これにより、ウェハ状態で半導体集積回路2に対してバーンインを実施することができる。

上述のように、従来の半導体集積回路に対してウェハレベルバーンインを実施する際には、半導体ウェハ上に複数ある半導体集積回路上の複数個のパッドに、プローブカードのバンプを接触させる必要があった。ウェハレベルバーンインで用いるプローブカードのバンプについては、バンプ間で一定の距離を確保しなけ

ればならないという制約がある。一定の距離が確保されないと、 bumps を形成することができず、その結果、ウェハレベルバーンインを正確に実施できなくなる。このことから、半導体集積回路のチップ面積の縮小化に伴い1ウェハ当りの半導体集積回路の数が増加すると、半導体集積回路1チップ当りの bumps 数を少なく
5 しなければならなくなる。このため、半導体集積回路のチップ面積を縮小化すると、半導体ウェハ上にあるすべての半導体集積回路のすべてのパッドを bumps によって固定することができなくなり、その結果、ウェハレベルバーンインを実施することができなくなる場合があった。

よって、本発明では、チップ面積を縮小化しても、ウェハレベルバーンインを
10 実施することができる半導体集積回路を提供することを目的とする。

発明の開示

上記課題を解決するために、本発明の請求の範囲第1項に係る半導体集積回路は、パッドと、前記パッドと電気的に接続する配線とを備え、前記配線が、前記
15 パッドが配置される領域以外の領域で、プローブカードの bumps と接触するようにした。これにより、ウェハレベルバーンインを実施する場合において、パッドを配置する領域に影響されることなく、半導体集積回路のチップ面積を縮小化することができ、チップの作製にかかるコストを抑えることができる。

また、本発明の請求の範囲第2項に係る半導体集積回路は、請求の範囲第1項
20 に記載の半導体集積回路において、少なくとも2つの前記配線が、1つの前記 bumps と接触するようにした。これにより、半導体集積回路のチップ面積を縮小化しても、半導体ウェハ上のすべての半導体集積回路に対してウェハレベルバーンインを実施することが可能になる。

また、本発明の請求の範囲第3項に係る半導体集積回路は、請求の範囲第2項
25 に記載の半導体集積回路において、前記配線が、少なくとも1つの屈曲部または角部を有するようにした。これにより、プローブカードの bumps と配線との接触領域である電極部の面積をより広く確保でき、コンタクト性を向上させることができる。

また、本発明の請求の範囲第4項に係る半導体集積回路は、請求の範囲第2項

に記載の半導体集積回路において、前記配線に切り離し部を有するようにした。これにより、ウェハレベルバーンイン後に、切り離し部を切り離すだけで、実動作時に、半導体集積回路の動作品質を保証できる。例えば、前記配線がショートすることで発生するノイズの干渉を防ぐことができる。

5

図面の簡単な説明

第1図は、半導体ウェハの平面図である。

第2図は、従来の半導体集積回路の模式図である。

第3図は、ウェハレベルバーンイン時の半導体ウェハ及びプローブカードの状態を示す図である。

10

第4図は、本実施の形態1に係る半導体集積回路の模式図である。

第5図は、本実施の形態2に係る半導体集積回路の模式図である。

第6図は、本実施の形態2に係る半導体集積回路の配線8とパンプ6との接触領域である電極部9の拡大図である。

15

第7図は、配線8の形状例を示す図である。

第8図は、本実施の形態3に係る半導体集積回路の配線8とパンプ6との接触領域である電極部9の拡大図である。

発明を実施するための最良の形態

20

(実施の形態1)

本実施の形態1に係る半導体集積回路について第4図を用いて説明する。第4図は、本実施の形態1に係る半導体集積回路の模式図である。この半導体集積回路は半導体ウェハ上に複数存在する。なお、第2図に示した半導体集積回路と同一構成要素については同一符号を付す。

25

本実施の形態1に係る半導体集積回路はパッド領域以外の領域に電極部を備えることを特徴とする。具体的には、第4図に示すように、従来の半導体集積回路でパンプ接続領域であったパッド4上の領域と電気的に接続する配線8を備え、ウェハレベルバーンインを実施する際、この配線8がプローブカード7のパンプ6と接触し、その接触領域が電極部となる。すなわち、本実施の形態1に係る半

導体集積回路では、ウェハレベルバーンインを実施する際、パッド4とバンプ6とが接触するのではなく、パッド領域以外の領域にある配線8とバンプ6とが接触するような構成となる。なお、第4図において、半導体集積回路は、配線8とバンプ6との接触領域、すなわち、電極部を機能回路3の空き領域に設けているが、この電極部はパッド領域以外の領域であればどこに設けても良い。

以上のような本実施の形態1に係る半導体集積回路によれば以下に示す効果が得られる。ウェハレベルバーンインの際に、バンプとパッドとが接触する従来の半導体集積回路では、チップ面積がパッドを配置する領域に依存することになる。これは、プローブカードにおいて、バンプとバンプとの間には一定の距離を確保するという制約があり、バンプの間隔に合わせてパッドを配置する必要があるからである。特に、第2図に示すように機能回路の外周にパッドが配置される半導体集積回路のチップ面積では、機能回路の面積よりパッドの面積の影響を強く受けることになる。このため、ウェハレベルバーンインを実施する場合、従来の半導体集積回路では、チップ面積の縮小化ができなくなることがあった。よって、本実施の形態1に係る半導体集積回路は、パッド4と電氣的に接続する配線8を備え、パッド4を配置する領域以外の領域で配線8とプローブカード7のバンプ6とが接触する構成とした。これにより、ウェハレベルバーンインを実施する場合でも、パッドを配置する領域に影響されることなく、半導体集積回路のチップ面積を縮小化することができる。

20 (実施の形態2)

本実施の形態2に係る半導体集積回路について第5図～第7図を用いて説明する。第5図は、本実施の形態2に係る半導体集積回路の模式図である。第5図に示すように、本実施の形態2に係る半導体集積回路は、少なくとも2つの配線8と1つのバンプ6とが同時に接触するような構成である。以下、2つの配線（配線8a、8b）と1つのバンプ6とを接触する場合を例にとり、説明を行う。

第6図は、配線8a、8bとバンプ6との接触領域である電極部9の拡大図である。第6図に示すように、配線8a、8bは、互いに接触しないように、かつ、同時にバンプ6と接触するように配置される。なお、配線8aと8bは、直線形状、曲線形状、または点状形状のように、どのような形状であってもよいが、好

ましくは少なくとも1つの屈曲部または角部を有し、バンプ6と接触する領域がより広くなるような形状にする。例えば、屈曲形状、第6図、第7図に示すように、櫛形状または渦巻き形状にする。これにより、配線8とプローブカード7のバンプ6との接触領域である電極部9の面積をより広く確保できコンタクト性を向上させることができる。

以上のように、本実施の形態2に係る半導体集積回路は、パッド4と電氣的に接続する配線8を備え、少なくとも2つの配線8と1つのバンプ6とがバンプ領域以外の領域で接触するような構成とした。これにより、より少ないバンプでウェハレベルバーンインを実施することができる。その結果、半導体集積回路のチップ面積を縮小化しても、半導体ウェハ上のすべての半導体集積回路に対してウェハレベルバーンインを実施することが可能になる。

なお、実施の形態2では、2つの配線と1つのバンプとが接触する例について説明したが、本発明はこれに限るものでなく、1つのバンプと接触する配線数は2つ以上であれば良い。

15 (実施の形態3)

本実施の形態3に係る半導体集積回路について第8図を用いて説明する。

第8図は、本実施の形態3に係る半導体集積回路の電極部の拡大図である。第8図に示すように、本実施の形態3に係る半導体集積回路は、少なくとも2つの配線8a、8bと1つのバンプ6とが同時に接触するような構成である。さらに、2つの配線8a、8bは切り離し部10を備える。本実施の形態3に係る半導体集積回路は、ウェハレベルバーンイン後の実動作中に、配線8a、8bとの間で電位差が生じてショートする場合を考慮して、ウェハレベルバーンイン後に配線8a、8bの切り離し部10を切り離す。

切り離し部10としては、例えば、ヒューズ、スイッチング素子が考えられる。ヒューズとは、例えば、特開昭52-67741号公報に開示されているように、オン状態からオフ状態へ1回限りのスイッチングが可能な素子のことである。ただし、素子として存在する領域が他素子や配線と明確に区別できなくとも、その領域でスイッチングが可能であるならば、その領域にはヒューズが接続されているとみなす。また、切り離し部10は、1回のスイッチング動作が可能なヒュー

ズではなく、多数回のスイッチングが可能なスイッチング素子であっても良い。

5 以上のように、本実施の形態3に係る半導体集積回路は、パッド4と電氣的に接続する配線8を設け、この配線8に切り離し部10を設けるようにした。これにより、ウェハレベルバーンイン後に、切り離し部10を切り離すだけで、実動作時に、半導体集積回路の動作品質を保証できる。例えば、配線がショートすることによって発生するノイズの干渉を防ぐことができる。

なお、実施の形態3では、2つの配線と1つのバンプとが接触する例について説明したが、本発明はこれに限るものでなく、1つのバンプと接触する配線数は2つ以上であれば良い。

10

産業上の利用可能性

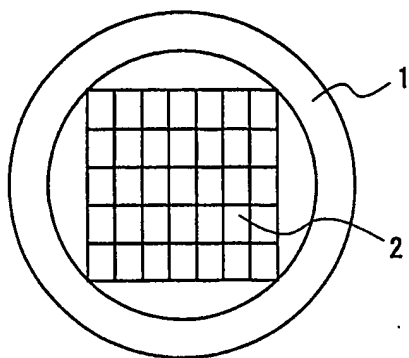
本発明は、ウェハレベルでバーンインを実施する半導体集積回路として有用である。

請 求 の 範 囲

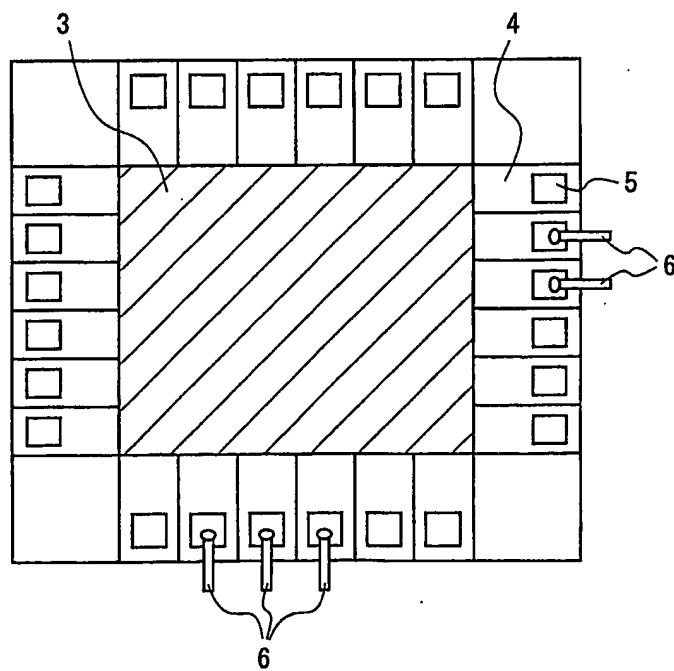
1. パッドと、
前記パッドと電氣的に接続する配線とを備え、
- 5 前記配線は、前記パッドが配置される領域以外の領域で、プローブカードのバンプと接触することを特徴とする半導体集積回路。
2. 請求の範囲第1項に記載の半導体集積回路において、
少なくとも2つの前記配線が、互いに接することなく、1つの前記バンプと接触することを特徴とする半導体集積回路。
- 10 3. 請求の範囲第2項に記載の半導体集積回路において、
前記配線は、少なくとも1つの屈曲部または角部を有することを特徴とする半導体集積回路。
4. 請求の範囲第2項に記載の半導体集積回路において、
前記配線は切り離し部を有することを特徴とする半導体集積回路。

1/4

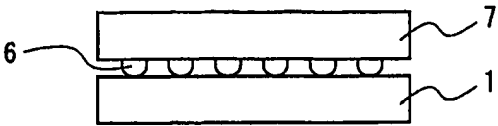
第1図



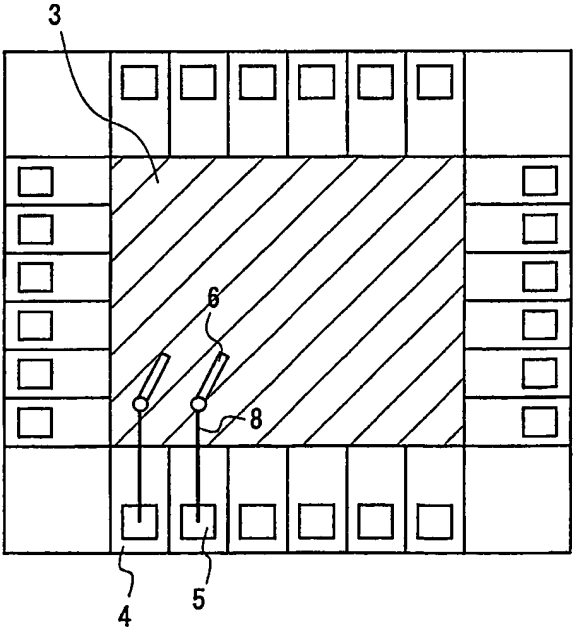
第2図



第3図

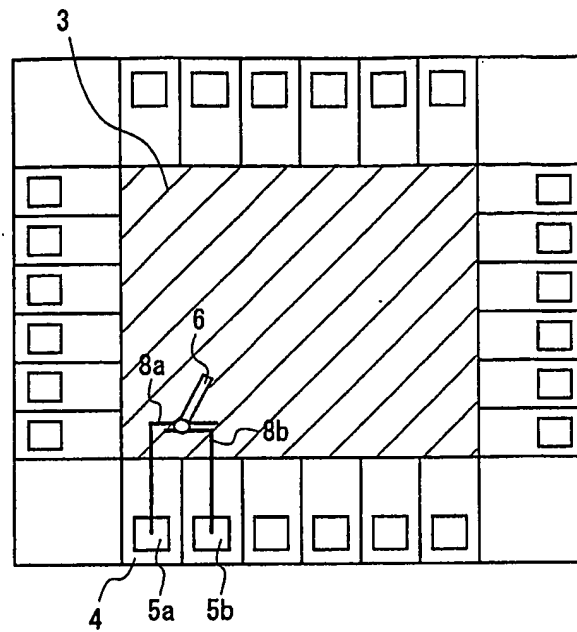


第4図

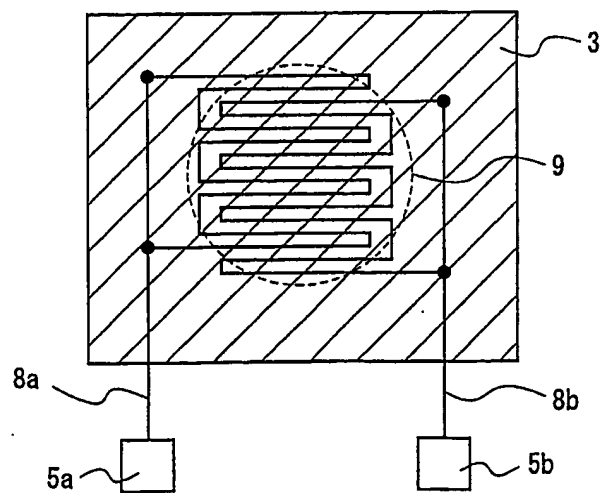


3/4

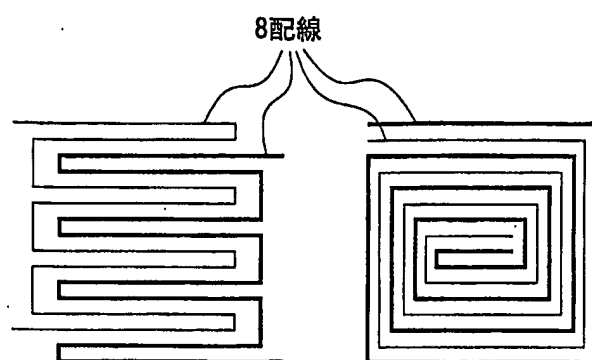
第5図



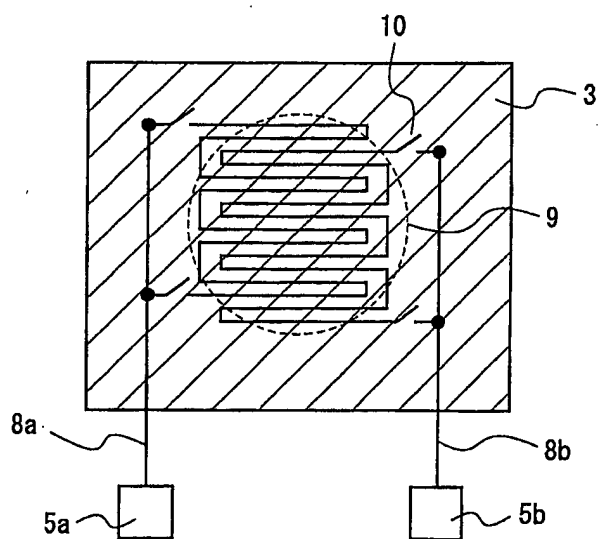
第6図



第7図



第8図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/012904

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/04, H01L21/82, H01L21/66

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/04, H01L21/82, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-124274 A (Matsushita Electric Industrial Co., Ltd.), 25 April, 2003 (25.04.03), Full text; all drawings & US 2003/0032263 A1 Full text; all drawings & CN 1405867 A & KR 3014637 A & TW 558772 B	1-4
Y	JP 7-37943 A (Tokyo Electron Ltd.), 07 February, 1995 (07.02.95), Par. No. [0004] (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
18 November, 2004 (18.11.04)

Date of mailing of the international search report
07 December, 2004 (07.12.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/012904

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-22809 A (Seiko Epson Corp.), 23 January, 2002 (23.01.02), Par. Nos. [0023] to [0026]; Fig. 2 (Family: none)	2-4

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl. ⁷ H01L27/04, H01L21/82, H01L21/66		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl. ⁷ H01L27/04, H01L21/82, H01L21/66		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国実用新案登録公報 1996-2004年 日本国登録実用新案公報 1994-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2003-124274 A (松下電器産業株式会社) 2003.04.25, 全文, 全図 & US 2003/0032263 A1, 全文, 全図 & CN 1405867 A & KR 3014637 A & TW 558772 B	1-4
Y	J P 7-37943 A (東京エレクトロン株式会社) 1995.02.07, 段落【0004】 (ファミリーなし)	1-4
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
18.11.2004	07.12.2004	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 淵 真悟	4 L 3125
	電話番号 03-3581-1101	内線 3462

C (続き) 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-22809 A (セイコーエプソン株式会社) 2002.01.23, 段落【0023】-【0026】, 第2図 (ファミリーなし)	2-4